

# CMOS 高性能奇数分频器的设计

高清运,李学初

(南开大学微电子科学系,天津 300071)

**摘要:** 本论文提出了一种占空比为 50% 奇数分频器的实现方法,基于 0.25 $\mu$ m CMOS 工艺参数,使用 Cadence Spectre 对分频器进行了仿真.当分频比为 5,电源电压为 2.5V,工作温度为 27 $^{\circ}$ C,分频器的输入频率为 650MHz 时,输出信号的占空比可达 49.94%.

**关键词:** CMOS 电路设计; 50% 占空比; 奇数分频器

**中图分类号:** TN72 **文献标识码:** A **文章编号:** 0372-2112 (2004) 05-0869-02

## The Design of High Performance CMOS Odd Divider

GAO Qing-yun, LI Xue-chu

(Department of Microelectronics, Nankai University, Tianjin 300071, China)

**Abstract:** A high frequency odd divider with nearly 50% duty is realized in this paper. Based on 0.25 $\mu$ m CMOS process model, the divider is simulated using Cadence Spectre. The simulation results show that the duty of the divider is 49.94% when the division ratio is 5, the power supply is 2.5V, the working temperature is 27 $^{\circ}$ C and the input frequency is 650MHz.

**Key words:** CMOS circuit design; 50% duty; odd divider

### 1 引言

对于分频比为 3 的分频器,实现输出信号 50% 占空比的方法比较简单,可以用两个 D 触发器与一个异或门来实现.当分频比为 5,7 或更大的奇数时,这种电路就无能为力了.为此,应寻求一种新方法进行奇数分频,以满足占空比的要求.

本论文提出了一种输出信号占空比为 50% 的任意奇数分频器的实现方法,给出了提高分频器工作频率以及调整分频器输出信号占空比的途径,并基于 0.25 $\mu$ m CMOS 工艺参数对分频器进行了仿真,当电源电压为 2.5V,温度为 27 $^{\circ}$ C,分频器的输入频率为 650MHz 时,5 分频器的输出信号的占空比可达 49.94%.

### 2 奇数分频实现输出信号 50% 占空比的原理

如果使用 T 触发器对方波信号做 2 分频,分频后得到的信号的占空比一定在 50% 左右.如果需要对一个信号做  $N$  分频,可分两步进行,先对其做  $N/2$  分频,然后再做 2 分频,这样分频后得到的信号的占空比保持在 50% 左右.本论文设计的分频电路正是基于这种考虑.下面以 5 分频为例进行说明.

5 分频器由一个 2.5 分频器与一个 2 分频器组成.图 1 为 2.5 分频器的工作时序图,在 0 -  $t_1$  期间,计数器对输入信号 (待分频信号)  $Wave_{in}$  的上升沿计数,计满 2 时分频器的输出信号由原来的 1 变为 0,等到  $Wave_{in}$  的下降沿到来,计数器被清零,分频器的输出信号由 0 变回 1.  $t_1$  到  $t_2$  期间,分频器对  $Wave_{in}$  的下降沿计数,计满 2 时分频器的输出信号由 1 变为 0,等到  $Wave_{in}$  的上升沿到来,计数器被清零,  $t_2$  后,

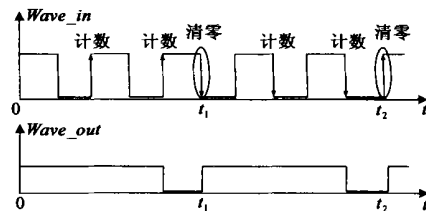


图 1 2.5 分频器的工作时序图

上述过程被重复.如此反复,分频器的输出信号  $Wave_{out}$  的周期将是  $Wave_{in}$  周期的 2.5 倍.

上述原理实现了 2.5 分频,但电路中用于计数的应为在上升沿和下降沿都能触发的双沿触发器,还应有决定上升沿触发或下降沿触发的选择电路,电路结构比较复杂.如果每隔 2.5 个周期将待分频信号反相一次,再输入 2.5 分频器,则可以避免使用双沿触发器,也不再需要选择电路,电路结构大为简化.图 2 给出了变换后的待分频信号  $Wave_{in}'$ ,可以看出,计数器总是在上升沿计数,完成计数器清零工作的总是下降沿,不使用双沿触发器就能完成 2.5 分频.从图 2 还可看出,计数器被清零后很快将会会有一个上升沿出现,这个上升沿对分频器是不利的,如果计数器在这个上升沿计数,分频结果将出错,必须将其屏蔽掉.如果在这个上升沿到来时计数器处于

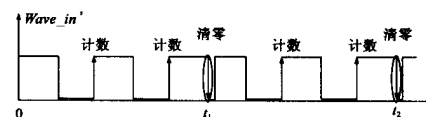


图 2 变换后的待分频信号波形图

清零状态,计数结果就不受影响,从而分频器可以正常工作. 本文在分频器电路中采用异步清零计数器,解决了上述问题.

下面介绍如何控制待分频信号的反相. 控制反相的信号周期应该等于待分频信号周期的 5 倍,并且该信号的占空比应该等于 50%,5 分频器的输出信号正好满足这个要求. 异或门可以完成反相任务,如果进入 2.5 分频器的信号是待分频信号与分频器输出信号的异或,那么,当输出信号为 0 时,输入的待分频信号不经过反相就进入 2.5 分频器;当分频器输出信号为 1 时,输入的待分频信号经过反相后进入 2.5 分频器,从而实现控制反相的功能. 基于上述原理,可画出本文

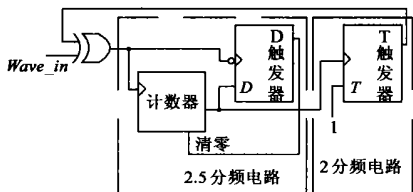


图 3 占空比为 50% 的 5 分频器的结构框图

所设计的占空比为 50% 的 5 分频器的结构框图,如图 3 所示.

当分频器的分频比为大于 5 的奇数  $N$  时,只要把 2.5 分频器改为相应的  $N/2$  分频器,采用这种电路结构也能够实现输出信号的占空比为 50%,电路中的其他模块不需改动.

### 3 电路实现

从图 3 看出,分频器的输出信号被反馈到输入端以控制被分频信号的反相.这在一定程度上限制了分频器的工作频率,为了获得较高的工作频率,应该尽量缩短电路中 D 触发器与 T 触发器的延时,为此,本文采用了高速触发器——TSPC 触发器<sup>[1,2]</sup>.图 4 为这种触发器的电路结构图.

在典型工艺参数条件下,若要分频器的工作频率超过 400MHz, TSPC 触发器的延时应该在 500ps 以下;若要分频器在各种工艺极限条件下都能工作, TSPC 触发器的延

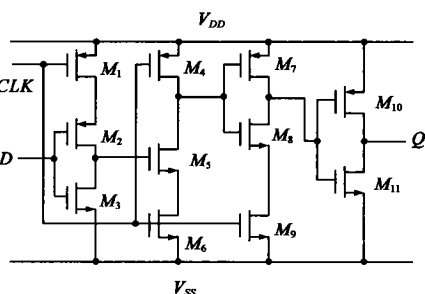


图 4 TSPC 高速触发器电路结构图

时应该控制在 400ps 以下,使用图 4 所示的电路结构有一定困难.为了缩短 TSPC 触发器的延时,可以将图 4 中的  $M_2$  或  $M_8$  去掉,去掉其中的任何一个都将缩短 TSPC 触发器的延时,但这样做是以增大电路功耗为代价的<sup>[3]</sup>.因此,图 3 中只有 D 触发器与 T 触发器使用这种结构,计数器中的触发器不采用这种结构,这样整个分频器的工作频率得以提高,功耗也不会过大.

图 3 中的异或门和用于 2 分频的 T 触发器的性能都会影响分频器的占空比,在设计时,通过调整构成异或门与 T 触发器的 MOS 管尺寸可以使分频器的输出信号占空比非常接近 50%.

### 4 仿真结果

作者基于 0.25 $\mu$ m CMOS 工艺参数,使用 Cadence Spectre

对本文所设计的分频器(5 分频和 3 分频)进行了仿真.当电源电压为 2.5V,工作温度为 27 $^{\circ}$ C,使用典型工艺参数时,5 分频器的最高工作频率可达 650MHz,输出信号的占空比为 49.94%.表 1 给出了几种情况下输出信号占空比与输入信号频率及分频比的关系.仿真结果表明,分频器的最高工作频率随着电源电压的降低和工作温度的上升而下降.在电源电压为 2.2V,温度为 85 $^{\circ}$ C 的极限情况下,3 分频器的最高工作频率为 450MHz,此时输出信号的占空比为 50.02%;5 分频器的最高工作频率为 500MHz,此时输出信号的占空比为 50.0002%.

表 1 当电源电压为 2.5V,工作温度为 27 $^{\circ}$ C,使用典型工艺参数时,输出信号占空比与分频比及工作频率的关系

分频比	不同工作频率下的占空比		
	500MHz	600MHz	650MHz
$N = 3$	49.96 %	49.92 %	49.89 %
$N = 5$	49.98 %	49.95 %	49.94 %

### 5 结束语

本文提出了一种能够精确实现 50% 占空比的奇数分频器的设计方法,在此基础上给出了提高分频器最高工作频率以及调整分频器输出信号占空比的方法,最后基于 0.25 $\mu$ m CMOS 工艺参数,使用 Cadence Spectre 对分频器进行了仿真,仿真结果验证了文中的理论推导.

### 参考文献:

- [1] Jan W Rabaey. Digital Integrated Circuit: A Design Perspective [M]. Prentice Hall International, Inc. 1996. 359 - 362.
- [2] R Rogenmoser, et al. A 800-MHz 1- $\mu$ m CMOS pipelined 8-b adder using true single-phase clocked logic-flip-flops [J]. IEEE J Solid-State Circuit, 1996, 31(3): 401 - 409.
- [3] Ching-Yuan Yang, et al. New dynamic flip-flops for high-speed dual-modulus prescaler [J]. IEEE J Solid-State Circuits, 1998, 33(10): 1568 - 1571.

### 作者简介:



高清运 女,1965 年 12 月生于河南省新乡市,博士,南开大学微电子科学系副教授,主要研究方向为 CMOS 集成电路设计. Email: gaoqy@office.nankai.edu.cn.



李学初 男,1979 年 7 月生于湖南省邵阳市,南开大学微电子科学系硕士研究生,主要研究方向为 CMOS 集成电路设计.